

(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 3 L 7/08		H 0 3 L 7/08	G 5 J 1 0 6
H 0 3 B 1/04		H 0 3 B 1/04	
H 0 3 L 7/093		H 0 3 L 7/08	E

審査請求 未請求 請求項の数7 O L （全 8 頁）

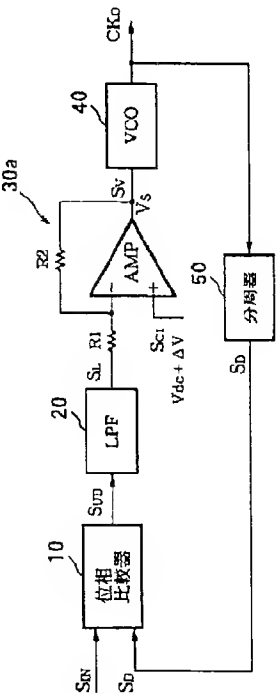
(21)出願番号	特願平10-265457	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年9月18日(1998.9.18)	(72)発明者	曾根田 光生 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	100094053 弁理士 佐藤 隆久 Fターム(参考) 5J106 AA04 BB08 BB10 CC01 CC21 CC52 DD02 DD04 DD05 DD32 FF06 HH02 HH03 KK24 KK26 PP05 QQ03 RR01 RR11

(54)【発明の名称】 クロック発生回路

(57)【要約】

【課題】 半導体装置の動作クロック信号をわずかに遷移させることにより、クロック信号のスペクトラム拡散を実現でき、電磁波輻射を低減できるクロック発生回路を実現する。

【解決手段】 PLL回路において位相比較器10は入力した基準クロック信号S_{IN}と分周器50からの分周信号S_Dとの位相を比較し、これらの信号の位相差に応じてアップダウン信号S_{UD}を出力し、ローパスフィルタ20はその高周波成分を除去し、低周波成分からなる信号S_Lを出力する。直流増幅器30aは信号S_Lに周波数制御信号S_{CL}に応じたバイアス信号を加えた制御信号S_Vを生成し、VCO40に供給し、VCO40は制御信号S_Vにより設定した周波数で発振し、周波数制御信号S_{CL}に応じて周波数が遷移するクロック信号C_{K0}を発生し、動作クロック信号として半導体装置に供給する。



【特許請求の範囲】

【請求項 1】入力されたクロック信号を積分し、当該クロック信号の立ち上がりおよび立ち下がりにおける時間に対するレベル変化の傾きを緩やかにした積分クロック信号を出力する積分回路と、

上記入力クロック信号より低い周波数でレベルを変化する周波数制御信号に応じて上記積分クロック信号をレベル制限し、周波数が上記周波数制御信号に従って変化する第 2 のクロック信号を出力するリミッタ回路と、

上記第 2 のクロック信号を所定の通倍比で周波数通倍したクロック信号を出力する周波数通倍回路とを有するクロック発生回路。

【請求項 2】上記周波数通倍回路は、上記第 2 のクロック信号と分周信号との位相を比較し、比較結果に応じて位相差信号を出力する位相比較回路と、

上記位相差信号に応じて所定のレベルを有する発振制御信号を出力する増幅回路と、

上記発振制御信号により設定した発振周波数で発振し、発振信号を上記通倍したクロック信号として出力する電圧制御発振回路と、

上記通倍したクロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する請求項 1 記載のクロック発生回路。

【請求項 3】入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じてレベルが変化する位相差信号を出力する位相比較回路と、

上記位相差信号に周波数制御信号のレベルに応じたバイアス電圧を加えた発振制御信号を出力する増幅回路と、

上記発振制御信号により設定した発振周波数で発振し、発振信号を出力する電圧制御発振回路と、

上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有するクロック発生回路。

【請求項 4】上記増幅回路は、一方の入力端子に上記位相差信号が入力され、他方の入力端子に上記周波数制御信号が入力される差動増幅回路により構成されている請求項 3 記載のクロック発生回路。

【請求項 5】上記位相比較回路からの位相差信号の高周波成分を減衰させ、低周波成分を抽出して、上記増幅回路に出力するローパスフィルタを有する請求項 3 記載のクロック発生回路。

【請求項 6】入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じた位相差信号を出力する位相比較回路と、

上記位相差信号および周波数制御信号に応じてチャージまたはディスチャージ電流を発生し、当該チャージまたはディスチャージ電流に応じて充放電するキャパシタから発振制御信号が出力するチャージポンプ回路と、

上記発振制御信号により設定した発振周波数で発振し、

クロック信号を出力する電圧制御発振回路と、
上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有するクロック発生回路。

【請求項 7】上記チャージポンプ回路は、上記位相比較回路からの位相差信号に応じて第 1 の電流を発生し、接続端子に出力する第 1 の電流発生回路と、

上記周波数制御信号に応じて第 2 の電流を発生し、上記接続端子に出力する第 2 の電流発生回路と、

一方の電極が上記接続端子に接続され、他方の端子が接地され、上記第 1 および第 2 の電流に応じて充電または放電することにより、上記接続端子の電圧を変化させ、当該接続端子の電圧を上記発振制御信号として上記電圧制御発振回路に供給するキャパシタとを有する請求項 6 記載のクロック発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電磁波輻射を低減するために変動する周波数を持つクロック信号を発生するクロック発生回路に関するものである。

【0002】

【従来の技術】近年、半導体製造技術の進歩により半導体素子の最高動作可能な周波数は高くなる。例えば、一例としてパーソナルコンピュータに広く使用されている CPU（中央処理装置）の動作クロック周波数は、開発当初の 10MHz 前後からすでに 200乃至 300MHz に達した。このため、高速で動作可能な半導体装置が数多く実現されてきた。

【0003】

【発明が解決しようとする課題】ところで、上述したように、半導体装置の動作周波数の向上によりもたらした問題の一つは電磁波輻射である。周波数の向上に伴い、高周波信号の波長が短くなり、接続回路または基板内部の配線長は高周波信号の波長とほぼ同じオーダーになると、基板内部の配線などの接続部はアンテナとして機能し、周囲への電磁波輻射が急激に増加してしまうという不利益がある。

【0004】高速なクロック信号で動作する半導体素子を用いた電子機器の電磁波輻射により、電子機器間の相互干渉による誤動作、通信装置への妨害などをはじめ、人体への影響も懸念されている。現在電子輻射が問題となる電子機器に対して、回路の配置などを改良し電磁波輻射を低減するほか、電磁波遮蔽（シールド）により周囲への電磁波の漏れを低減させるなどの対策が施されている。しかし、モバイル機器などでは小型化、軽量化が要求された場合に、電磁波輻射を低減するためのシールドを十分に施すことができず、電磁波輻射に対する有効な防止方法はほとんどない。

【0005】本発明は、かかる事情に鑑みてなされたものであり、その目的は、半導体装置の動作クロック信号

を微小に遷移させることにより、クロック信号のスペクトラム拡散を実現でき、電磁波放射を低減可能なクロック信号を生成するクロック発生回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明のクロック発生回路は、入力されたクロック信号を積分し、当該クロック信号の立ち上がりおよび立ち下がりにおける時間に対するレベル変化の傾きを緩やかにした積分クロック信号を出力する積分回路と、上記入力クロック信号より低い周波数でレベルを変化する周波数制御信号に応じて上記積分クロック信号をレベル制限し、周波数が上記周波数制御信号に従って変化する第2のクロック信号を出力するリミッタ回路と、上記第2のクロック信号を所定の通倍比で周波数通倍したクロック信号を出力する周波数通倍回路とを有する。

【0007】また、本発明では、好適には、上記周波数通倍回路は、上記第2のクロック信号と分周信号との位相を比較し、比較結果に応じて位相差信号を出力する位相比較回路と、上記位相差信号に応じて所定のレベルを有する発振制御信号を出力する増幅回路と、上記発振制御信号により設定した発振周波数で発振し、発振信号を上記通倍したクロック信号として出力する電圧制御発振回路と、上記通倍したクロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する。

【0008】また、本発明のクロック発生回路は、入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じてレベルが変化する位相差信号を出力する位相比較回路と、上記位相差信号に周波数制御信号のレベルに応じたバイアス電圧を加えた発振制御信号を出力する増幅回路と、上記発振制御信号により設定した発振周波数で発振し、クロック信号を出力する電圧制御発振回路と、上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する。

【0009】さらに、本発明のクロック発生回路は、入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じた位相差信号を出力する位相比較回路と、上記位相差信号および周波数制御信号に応じてチャージまたはディスチャージ電流を発生し、当該チャージまたはディスチャージ電流に応じて充放電するキャパシタから発振制御信号が出力するチャージポンプ回路と、上記発振制御信号により設定した発振周波数で発振し、クロック信号を出力する電圧制御発振回路と、上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する。

【0010】本発明によれば、クロック発生回路において、半導体装置の正常の動作に影響しない程度にわずかに

に周波数が遷移するクロック信号を発生し、動作クロック信号として半導体装置に供給することにより、クロック信号の周波数スペクトラムを拡散させ、半導体装置の電磁波放射を低減させる。具体的に、例えば、入力クロック信号に比べて緩やかにレベルが変化する周波数制御信号より、積分したクロック信号をリミットすることで、周波数が変化するクロック信号が生成され、当該クロック信号に応じて、PLL回路により所定の通倍数で通倍したクロック信号を生成し半導体装置に供給する。

【0011】また、本発明のクロック発生回路はPLL回路により構成され、当該PLL回路においてVCOに供給する制御信号を発生する直流増幅回路、例えば、差動増幅回路において、一方の入力端子に位相比較回路が入力され、他方の入力端子に周波数制御信号が入力されるので、VCOに入力される発振制御信号に発振周波数に応じたバイアス成分が含まれ、当該周波数制御信号に応じてVCOの発振周波数が遷移するように制御される。さらに、PLL回路を構成するチャージポンプにおいて、周波数制御信号に応じてバイアス電圧が発生され、位相差信号に応じて発生した電流に当該バイアス電流が加えられるので、チャージポンプの出力信号により発振周波数が制御されるVCOの発振周波数は周波数制御信号に従って遷移する。

【0012】

【発明の実施の形態】第1実施形態

図1は本発明に係るクロック発生回路の第1の実施形態を示す回路図である。本実施形態のクロック発生回路は、積分器1、リミッタ2、PLL回路3および分周器4により構成されている。

【0013】積分器1は、入力されたクロック信号CK_{IN}を積分して、積分したクロック信号CK_Sを出力する。リミッタ2は、積分クロック信号CK_Sおよび周波数制御信号Scを受けて、これらの信号に応じてPLL回路3に入力するクロック信号S_{IN}を出力する。PLL回路3は、リミッタ2から入力されたクロック信号S_{IN}および分周器4から入力された分周信号S_Dに応じて、例えば、クロック信号S_{IN}に応じて周波数或いは位相が制御されるクロック信号CK_{OUT}を出力する。

【0014】リミッタ2に入力される周波数制御信号Scに応じて、PLL回路3の出力クロック信号CK_{OUT}の出力を微小の変動幅をもって遷移させることにより、クロック信号CK_{OUT}のスペクトラムを拡散させる。このため、クロック信号CK_{OUT}を動作周波数として動作する半導体装置においては、動作クロック信号のスペクトラムが分散した結果、電磁波放射の低減を実現できる。

【0015】図2は、分周器を含むPLL回路3の一構成例を示している。図示のように、PLL回路3は、位相比較器10、ローパスフィルタ(LPF)20、直流増幅器30、電圧制御発振器(VCO)40および分周

器50により構成されている。なお、図2における分周器50は、図1に示す分周器4と同一のものである。

【0016】位相比較回路10は、分周回路50からの分周信号 S_D とリミッタ2から入力されたクロック信号 S_{IN} との位相を比較し、これらの信号の位相差を示すアップダウン信号 S_{UD} を出力する。ローパスフィルタ20は、位相比較器10からのアップダウン信号 S_{UD} に含まれている高周波成分を除去し、低周波成分のみからなる信号 S_L を出力する。直流増幅器30は、図示のように、差動増幅器AMPおよび抵抗素子 R_1 、 R_2 からなる反転型増幅回路であり、ローパスフィルタ20からの低周波信号 S_L を増幅し、さらに増幅した信号に所定の直流レベル V_{dc} を加えた信号 S_v を制御信号としてVCO40に出力する。VCO40は、直流増幅器30からの制御信号 S_v により制御された発振周波数で発振し、発振信号を出力する。なお、VCO40により出力される発振信号は、動作クロック信号 CK_0 として他の半導体装置に供給される。分周器50は、VCO40からのクロック信号 CK_0 を予め設定された分周比で分周し、分周信号 S_D を位相比較器10に出力する。

【0017】図3は、本実施形態のクロック発生回路の各部分回路の信号波形を示している。以下、図1～図3を参照しつつ、本実施形態のクロック発生回路の動作について説明する。

【0018】図1のリミッタ2に入力される周波数制御信号 S_c は、図3(a)に示すように、例えば、所定の周期を持つ三角波である。当該三角波は、入力クロック信号 CK_{IN} よりかなり周波数が低く、緩やかに変化する低周波の信号である。なお、ここで、一例として三角波の信号を示しているが、周波数制御信号 S_c は、三角波に限定されるものではなく、他の信号、例えば、正弦波、或いは階段状にレベルが変化する信号でもよい。

【0019】図3(b)に示す一定の周期 T を持つクロック信号 CK_{IN} は、積分器1に入力され、積分の結果、同図(c)に示す積分クロック信号 CK_s が得られる。リミッタ2において、周波数制御信号 S_c を用いて、積分クロック信号 CK_s のレベルをリミットした結果、同図(d)に示す周期が絶えずに変化するクロック信号が得られる。当該クロック信号は入力信号 S_{IN} としてPLL回路3に供給される。

【0020】PLL回路3は、分周器4の分周比 n (n は正整数)で設定した通倍数で入力信号 S_{IN} の周波数を通倍し、クロック信号 CK_0 を発生する。例えば、入力信号 S_{IN} の周波数を f とすると、出力クロック信号 CK_0 の周波数は nf となる。入力信号 S_{IN} の周波数が増加し、例えば、 $(f + \Delta f)$ になると、出力クロック信号 CK_0 の周波数もそれに追従して、 $(nf + n\Delta f)$ に変化する。上述したように、リミッタ2において周波数制御信号 S_c に応じて積分クロック信号 CK_s をリミットの結果、得られた信号 S_{IN} の周波数は、周波数制御信

号 S_c のレベルに応じて制御される。このため、PLL回路3の出力クロック信号 CK_0 の周波数も制御信号 S_c のレベルにより制御される。即ち、本実施形態のクロック発生回路は、一種の周波数変調回路として機能し、周波数制御信号 S_c を用いて入力クロック信号 CK_{IN} の周波数に対して変調機能を働き、周波数が増加するクロック信号 CK_0 を提供することができる。

【0021】本実施形態のクロック発生回路により、周波数制御信号 S_c に応じて周波数が増加するクロック信号 CK_0 が発生される。当該クロック信号 CK_0 を動作クロック信号として動作する他の半導体装置において、クロック信号のスペクトラムが拡散されるので、電磁波輻射を大幅に低減することが可能である。図4(b)はスペクトラム拡散が施されたクロック信号のスペクトラムを示している。なお、比較のため、同図(a)にはスペクトラム拡散が行われていないクロック信号 CK のスペクトラムを示している。

【0022】図4(a)に示すように、スペクトラム拡散が行われていない場合に、クロック信号 CK のスペクトラムは、ノイズ成分などによりわずかに両側に広がった部分を除けば、ほとんど中心周波数 f_{ck} に集中している。これに対して、本実施形態のクロック発生回路によりスペクトラムが拡散したクロック信号のスペクトラムは、同図(b)に示すように、周波数 f_{ck} を中心に広範囲に両側に広がり、そのピーク値は、図(a)に示すスペクトラムに比べて大幅に低減される。これによって、本実施形態のクロック発生回路で供給したクロック信号 CK_0 で動作する半導体装置において、電磁波輻射が大幅に低減することが可能となり、シールドなどの対策を講じることが困難な場合でも、装置周辺への電磁波の漏れを大幅に減少させることが可能である。

【0023】第2実施形態

図5は本発明に係るクロック発生回路の第2の実施形態を示す回路図である。上述したクロック発生回路の第1の実施形態において、リミッタを用いてレベルが緩やかに変化する周波数制御信号 S_c で積分したクロック信号のレベルをリミットすることで周波数が遷移するクロック信号を発生し、当該クロック信号を所定の通倍比で通倍したクロック信号 CK_0 を発生する。このため、リミッタの他に積分器が必要であり、PLL回路以外の付加回路が多く、回路のコストが大きくなる。

【0024】これに対して、本実施形態のクロック発生回路において、PLL回路のみを用いて周波数を遷移させることができ、簡単な回路構成により所望のクロック信号を発生することができ、小型化、安価なクロック発生回路を実現できる。以下、図5を参照しつつ、本実施形態のクロック発生回路の構成およびその動作について説明する。

【0025】図5に示すように、本実施形態のクロック

発生回路を構成する PLL 回路は、図 2 に示す PLL 回路 3 とほぼ同じ構成を有する。ただし、本実施形態において、直流増幅器 30a を構成する差動増幅 AMP にレベルが変化する周波数制御信号 S_{cl} が入力され、これによって直流増幅器 30a から出力される制御信号 S_v のレベルを制御し、VCO40 の発振周波数を制御する。

【0026】PLL 回路を構成する位相比較器 10 には、クロック信号 S_{in} および分周器 50 からの分周信号 S_D が入力される。クロック信号 S_{in} は、例えば、安定した周波数を持つ基準クロック信号である。位相比較器 10 は、入力されたクロック信号 S_{in} と分周信号 S_D との位相を比較し、これらの信号の位相差に応じてアップダウン信号 S_{up} を出力する。ローパスフィルタ 20 は、位相比較器 10 からのアップダウン信号 S_{up} に含まれている高周波成分を除去し、低周波成分のみからなる信号 S_L を出力する。

【0027】直流増幅器 30a は、例えば、差動増幅器 AMP により構成され、ローパスフィルタ 20 からの低

$$\begin{aligned} V_L &= (V_{dc} + \Delta V) - (V_s - V_{dc} - \Delta V) \cdot R_1 / R_2 \\ &= (V_{dc} + \Delta V) (R_1 + R_2) / R_2 - V_s R_1 / R_2 \quad \cdots (1) \end{aligned}$$

【0030】VCO40 は、直流増幅器 30a から出力される制御信号 S_v により、発振周波数が制御され、当該発振周波数を持つクロック信号 C_K が出力される。このため、VCO40 の発振周波数は、直流増幅器 30a に入力された周波数制御信号 S_{cl} のレベル変化に応じて遷移する。即ち、出力クロック信号 C_K のスペクトラムが拡散される。

【0031】このように、差動増幅回路 AMP にバイアス信号 S_{cl} を加えた結果、ローパスフィルタ 20 の出力信号 S_L の電圧レベルが式 (1) に示す電圧 V_L になるように PLL 回路が動作する。その結果、差動増幅回路 AMP に加えられたバイアス信号 S_{cl} のレベルに応じて VCO40 の発振周波数が変化する。

【0032】クロック信号 C_K が動作クロック信号として、他の半導体装置が供給されるので、当該クロック信号 C_K で動作する半導体装置の電磁波放射が大幅に低減される。

【0033】以上説明したように、本実施形態によれば、PLL 回路において位相比較器 10 により入力した基準クロック信号 S_{in} と分周器 50 からの分周信号 S_D との位相を比較し、これらの信号の位相差に応じてアップダウン信号 S_{up} を出力し、ローパスフィルタ 20 はその高周波成分を除去し、低周波成分からなる信号 S_L を出力する。直流増幅器 30a は入力される周波数制御信号 S_{cl} をバイアスとする制御信号 S_v を生成し、VCO40 に供給する。VCO40 は制御信号 S_v により設定した周波数で発振し、周波数制御信号 S_{cl} に応じて周波数が遷移するクロック信号 C_K を発生し、動作クロック信号として半導体装置に供給するので、スペクトラム拡散したクロック信号で動作する半導体装置の電磁波放

周波信号 S_L が抵抗素子 R_1 を通して差動増幅器 AMP の反転入力端子 “-” に入力され、さらに、当該反転入力端子 “-” は抵抗素子 R_2 を介して差動増幅器 AMP の出力端子に接続されている。差動増幅器 AMP の入力端子 “+” に周波数制御信号 S_{cl} が入力される。図示のように、周波数制御信号 S_{cl} は直流レベル V_{dc} にバイアス電圧 ΔV が加わった信号であり、例えば、図 3 (a) 示す三角波である。

【0028】このように、差動増幅器 AMP および抵抗素子 R_1 、 R_2 により反転増幅回路が構成され、その出力端子から入力信号 S_L の反転信号にバイアス信号 S_{cl} が加わった信号 S_v が出力され、VCO40 に供給される。ここで、ローパスフィルタ 20 の出力信号 S_L の電圧を V_L とし、信号 S_v の電圧を V_s とすると、次式が成り立つ。

【0029】

【数 1】

射を低減できる。

【0034】第 3 実施形態

図 6 は本発明に係るクロック発生回路の第 3 の実施形態を示す回路図である。図示のように、本実施形態のクロック発生回路は図 5 に示した本発明の第 2 の実施形態とほぼ同様に、PLL 回路を用いて周波数が遷移するクロック信号を発生する。ただし、本実施形態において位相比較器 10a の出力信号に応じて動作するチャージポンプ 60 に周波数制御信号 S_{cz} で所定のバイアス電流を発生させることにより、信号 S_L のレベルを制御することで、VCO40 の発振周波数を制御する。

【0035】位相比較器 10a に入力される信号 S_{in} は、例えば、所定の周波数を持つ基準クロック信号である。位相比較器 10a は、当該基準クロック信号 S_{in} と分周器 50 からの分周信号 S_D の位相を比較し、比較結果に応じてアップ信号 S_{up} またはダウン信号 S_{dn} を出力する。なお、これらの出力信号は、例えば、基準クロック信号 S_{in} と分周信号 S_D の位相差に応じて幅が制御されるパルス信号である。例えば、基準クロック信号 S_{in} が分周信号 S_D より位相が進んでいるとき、これらの信号の位相差に応じた幅を持つパルス信号であるアップ信号 S_{up} が出力され、逆に、基準クロック信号 S_{in} が分周信号 S_D より位相が遅れているとき、これらの信号の位相差に応じた幅を持つパルス信号であるダウン信号 S_{dn} が出力される。

【0036】チャージポンプ 60 は、アップ信号 S_{up} またはダウン信号 S_{dn} に応じてチャージ電流 i_c を発生する。さらに、入力された周波数制御信号 S_{cz} に応じてバイアス電流 Δi_c を発生し、チャージ電流 i_c に加える。このため、チャージ電流 i_c およびバイアス電流 Δ

i_c の和 ($i_c + \Delta i_c$) に応じて、キャパシタ C1 が充電または放電し、当該キャパシタ C1 の充放電に応じてレベルが制御される信号 S_L が出力される。

【0037】直流増幅器 30 は、チャージポンプ 60 から出力される信号 S_L を増幅し、得られた信号 S_V を制御信号として VCO40 に供給する。なお、本実施形態の直流増幅器 30 は、例えば、図 2 に示す PLL 回路 3 を構成する直流増幅器と同じ構成を有するものでよい。VCO40 は、制御信号 S_V により制御された発振周波数で発振し、発振信号を出力する。当該発振信号を動作

クロック信号 C_K として、半導体装置に供給する。分周器 50 は VCO40 で発生したクロック信号 C_K を予め設定した分周比 n で分周し、分周信号 S_D を発生し、位相比較器 10a に入力する。

【0038】図 7 はチャージポンプ 60 の一構成例を示す回路図である。図示のように、チャージポンプ 60 は、電源電圧 V_{dd} と接地電位 GND 間に直列に接続されている pnp トランジスタ P1 と npn トランジスタ Q1 および pnp トランジスタ P2 と npn トランジスタ Q2、さらに、これらのトランジスタのエミッタ側に接続されている抵抗素子 R3、R4、R5 および R6 により構成されている。

【0039】トランジスタ P1 のエミッタが抵抗素子 R3 を介して電源電圧 V_{dd} に接続され、ゲートに位相比較器 10a からのアップ信号 S_{UP} が入力される。トランジスタ Q1 のエミッタが抵抗素子 R4 を介して接地され、ゲートに位相比較器 10a からのダウン信号 S_{DN} が入力される。トランジスタ P1 と Q1 コレクタはノード ND1 に接続されている。トランジスタ P2 のエミッタが抵抗素子 R5 を介して電源電圧 V_{dd} に接続され、コレクタがノード ND1 に接続されている。トランジスタ Q2 のエミッタが抵抗素子 R6 を介して接地され、コレクタがノード ND1 に接続されている。さらに、トランジスタ P2 と Q2 のゲートに周波数制御信号 S_{C2} が入力されている。キャパシタ C1 は、ノード ND1 と接地電位 GND との間に接続されている。

【0040】位相比較器 10a からアップ信号 S_{UP} 、例えば、ローレベルのパルス信号が入力されると、トランジスタ P1 に電流 I_1 が流れ、ノード ND1 に入力される。一方、位相比較器 10a からダウン信号 S_{DN} 、例えば、ハイレベルのパルス信号が入力されると、トランジスタ Q1 に電流 I_2 が流れる。キャパシタ C1 は、ノード ND1 に電流 I_1 が入力されるとき、当該電流により充電され、ノード ND1 の電位が上昇する。逆に、ノード ND1 からトランジスタ Q2 に電流 I_2 が流れると、ノード ND1 がディスチャージされ、ノード ND1 の電位が降下する。このため、位相比較器 10a の比較結果に応じて、キャパシタ C1 が充電またはディスチャージされ、ノード ND1 の電圧が制御される。

【0041】一方、トランジスタ P2 と Q2 のゲートに

入力された周波数制御信号 S_{C2} のレベルに応じて、これらのトランジスタに流れる電流が制御される。例えば、周波数制御信号 S_{C2} のレベルが低くなると、トランジスタ P2 に電流 I_3 が流れて、これに応じてキャパシタ C1 が充電される。一方、周波数制御信号 S_{C2} のレベルが高くなると、トランジスタ Q2 に電流 I_4 が流れ、これに応じてキャパシタ C1 はディスチャージされる。このため、周波数制御信号 S_{C2} のレベルに応じて、キャパシタ C1 が充電またはディスチャージされ、ノード ND1 の電圧が制御される。

【0042】上述したように、チャージポンプ 60 において、位相比較器 10a からのアップ信号 S_{UP} またはダウン信号 S_{DN} および周波数制御信号 S_{C2} に応じて、ノード ND1 の電圧、即ち、チャージポンプ 60 の出力信号 S_L のレベルが制御される。当該信号 S_L は直流増幅器 30 により増幅したあと制御信号 S_V として VCO40 に入力される。この結果、VCO40 の発振周波数は位相比較器 10a からのアップ信号 S_{UP} およびダウン信号 S_{DN} のほか、周波数制御信号 S_{C2} により制御される。

【0043】チャージポンプ 60 に入力される周波数制御信号 S_{C2} は、例えば、図 3 (a) に示す三角波とすると、VCO40 の出力クロック信号 C_K は、当該三角波のレベル変化に応じて周波数が緩やかに遷移する。このため、クロック信号 C_K を動作クロックとする半導体装置において、クロック信号のスペクトラムが拡散するので、電磁波放射が大幅に低減される。

【0044】以上説明したように、本実施形態によれば、位相比較器 10a は入力された基準クロック信号 S_{IN} と分周器 50 からの分周信号 S_D の位相を比較し、これらの信号の位相差に応じてアップ信号 S_{UP} またはダウン信号 S_{DN} を出力する。チャージポンプ 60 は位相比較器 10a の出力信号および周波数制御信号 S_{C2} に応じて充電またはディスチャージ電流を発生し、キャパシタ C1 はこれに応じて充電またはディスチャージし、信号 S_L のレベルを制御する。直流増幅器 30 により信号 S_L を増幅して制御信号 S_V を生成し、VCO40 に供給し、VCO40 は制御信号 S_V で設定した周波数で発振し、クロック信号 C_K を出力するので、当該クロック信号 C_K の周波数は周波数制御信号 S_{C2} のレベル変化に応じて遷移し、スペクトラムが拡散するのでこれを動作クロックとする半導体装置の電磁波放射が大幅に低減される。

【0045】

【発明の効果】以上説明したように、本発明のクロック発生回路によれば、発生されるクロック信号の周波数が緩やかに遷移させることにより、そのスペクトラムが拡散し、それに応じて動作する半導体装置の電磁波放射が低減できる利点がある。

【図面の簡単な説明】

【図 1】本発明に係るクロック発生回路の第 1 の実施形

態を示す回路図である。

【図2】図1に示すクロック発生回路を構成するPLL回路の一構成例を示す回路図である。

【図3】第1の実施形態のクロック発生回路の動作を示す波形図である。

【図4】クロック信号のスペクトラムを示す図である。

【図5】本発明に係るクロック発生回路の第2の実施形態を示す回路図である。

【図6】本発明に係るクロック発生回路の第3の実施

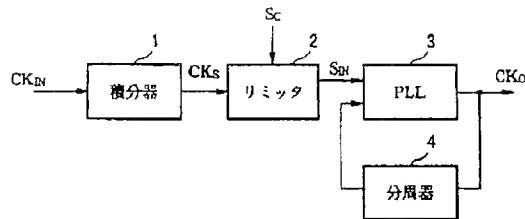
態を示す回路図である。

【図7】図6に示すクロック発生回路を構成するチャージポンプの一構成例を示す回路図である。

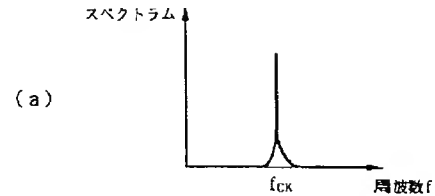
【符号の説明】

1…積分器、2…リミッタ、3…PLL回路、4…分周器、10、10a…位相比較器、20…ローパスフィルタ、30、30a…直流増幅器、40…VCO、50…分周器、60…チャージポンプ、 V_{dd} …電源電圧、GND…接地電位。

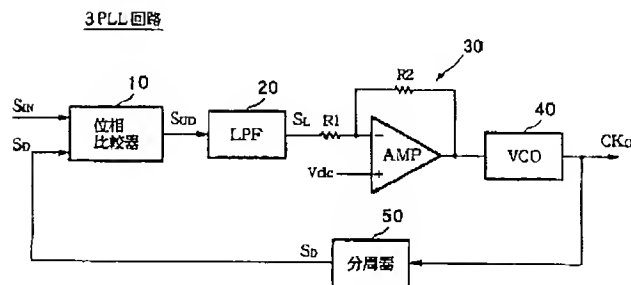
【図1】



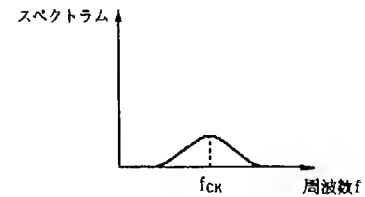
【図4】



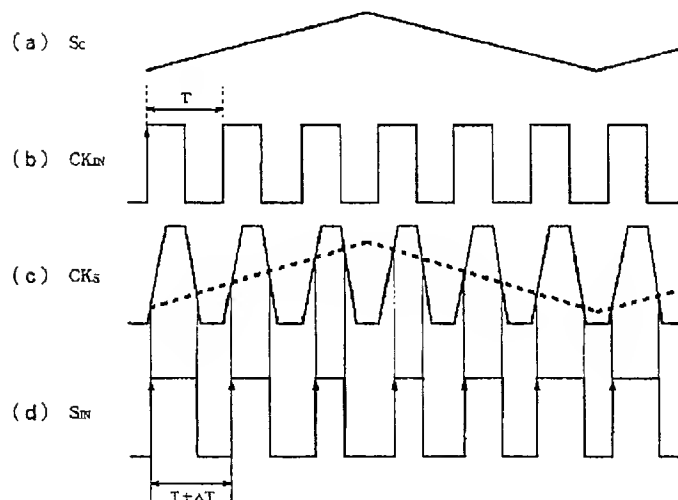
【図2】



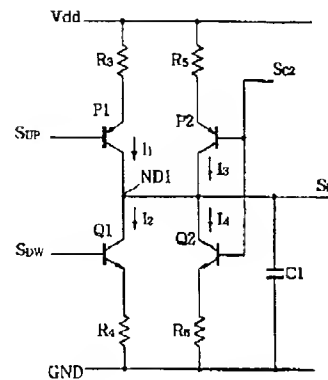
(b)



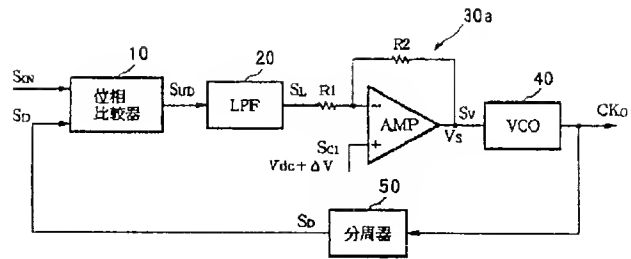
【図3】



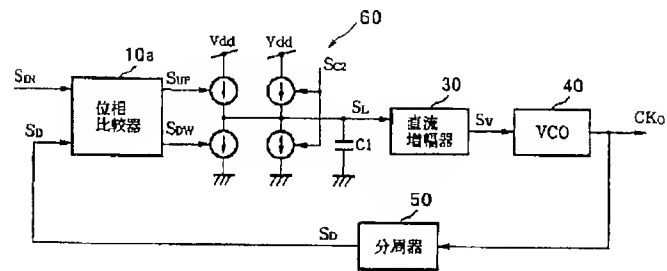
【図7】



【図5】



【図6】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101424

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H03L 7/08
H03B 1/04
H03L 7/093

(21)Application number : 10-265457

(71)Applicant : SONY CORP

(22)Date of filing : 18.09.1998

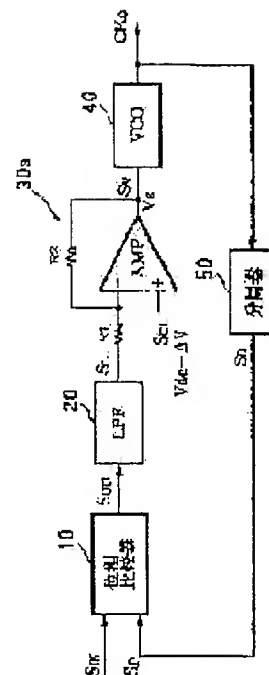
(72)Inventor : SONEDA MITSUO

(54) CLOCK GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a clock-generating circuit that realizes spread spectrum processing for a clock signal and reduces the radiation of electromagnetic waves by shifting only slightly an operating clock signal of a semiconductor device.

SOLUTION: A phase comparator 10 of a PLL circuit compares a phase of a received reference clock signal SIN with a phase of a frequency division signal SD from a frequency divider 50, outputs an up-down signal SUD in response to a phase difference of the signals, a low-pass filter 20 eliminates a high frequency component of the up-down signal SUD and provides an output of a signal SL, consisting of low frequency components. A DC amplifier 30a generates a control signal SV resulting from adding a bias signal, in response to a frequency control signal SC1 to the signal SL and gives the signal SV to a VCO 40, the VCO 40 oscillates at a frequency set by the control signal SV and generates a clock signal CK0, whose frequency is transited in response to the frequency control signal SC1 and gives it to a semiconductor device as an operating clock signal.



LEGAL STATUS

[Date of request for examination]

29.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The integrating circuit which outputs the integral clock signal which integrated with the inputted clock signal and made loose the inclination of the level change to the time amount in the standup and falling of the clock signal concerned, The limiter circuit where the level limit of the above-mentioned integral clock signal is carried out according to the frequency-control signal which changes level on a frequency lower than the above-mentioned input-clock signal, and a frequency outputs the 2nd clock signal which changes according to the above-mentioned frequency-control signal, The clock generation circuit which has the frequency-multiplication circuit which outputs the clock signal which carried out frequency multiplication of the 2nd clock signal of the above by the predetermined multiplying ratio.

[Claim 2] To the extent that the above-mentioned frequency-multiplication circuit compares the phase of the 2nd clock signal of the above, and a dividing signal and a phase contrast signal is outputted according to a comparison result A phase comparison circuit, The amplifying circuit which outputs the oscillation control signal which has predetermined level according to the above-mentioned phase contrast signal, The armature-voltage control oscillator circuit outputted as a clock signal which oscillated on the oscillation frequency set up with the above-mentioned oscillation control signal, and carried out [above-mentioned] multiplying of the oscillation signal, The clock generation circuit according to claim 1 which has the frequency divider where dividing of the clock signal which carried out [above-mentioned] multiplying is carried out by the predetermined division ratio, and at least the above outputs a dividing signal to a phase comparison circuit.

[Claim 3] To the extent that the phase contrast signal with which the phase of an input-clock signal and a dividing signal is compared, and level changes according to the phase contrast of the above-mentioned input-clock signal and the above-mentioned dividing signal is outputted A phase comparison circuit, The amplifying circuit which outputs the oscillation control signal which applied the bias voltage according to the level of a frequency-control signal to the above-mentioned phase contrast signal, The clock generation circuit which has the armature-voltage control oscillator circuit which oscillates on the oscillation frequency set up with the above-mentioned oscillation control signal, and outputs an oscillation signal, and the frequency divider where dividing of the above-mentioned clock signal is carried out by the predetermined division ratio, and at least the above outputs a dividing signal to a phase comparison circuit.

[Claim 4] The above-mentioned amplifying circuit is a clock generation circuit according to claim 3 constituted by the differential amplifying circuit where the above-mentioned phase contrast signal is inputted into one input terminal, and the above-mentioned frequency control signal is inputted into the input terminal of another side.

[Claim 5] The clock generation circuit according to claim 3 which has the low pass filter which at least the above attenuates the high frequency component of the phase contrast signal from a phase comparison circuit, extracts a low-frequency component, and outputs it to the above-mentioned amplifying circuit.

[Claim 6] To the extent that the phase of an input-clock signal and a dividing signal is compared and the phase contrast signal according to the phase contrast of the above-mentioned input-clock signal and the above-mentioned dividing signal is outputted A phase comparison circuit, The charge pump circuit which an oscillation control signal outputs from the capacitor which generates charge or a discharge current according to the above-mentioned phase contrast signal and a frequency-control signal, and carries out charge and discharge according to the charge concerned or a discharge current, The clock generation circuit which has the armature-voltage control oscillator circuit which oscillates on the oscillation frequency set up with the above-mentioned oscillation control signal, and outputs a clock signal, and the frequency divider where dividing of the above-mentioned clock signal is carried out by the predetermined division ratio, and at least the above outputs a dividing signal to a phase comparison circuit.

[Claim 7] The 1st current generating circuit which at least the above generates the 1st current according to the phase contrast signal from a phase comparison circuit, and outputs the above-mentioned charge pump

circuit to a connection terminal, The 2nd current generating circuit which generates the 2nd current according to the above-mentioned frequency control signal, and is outputted to the above-mentioned connection terminal, By connecting one electrode to the above-mentioned connection terminal, grounding an other-end child, and charging or discharging according to the 1st and 2nd currents of the above The clock generation circuit according to claim 6 which has the capacitor which the electrical potential difference of the above-mentioned connection terminal is changed, and is supplied to the above-mentioned armature-voltage control oscillator circuit by making the electrical potential difference of the connection terminal concerned into the above-mentioned oscillation control signal.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the clock generation circuit which generates a clock signal with the frequency changed in order to reduce electromagnetic wave radiation.

[0002]

[Description of the Prior Art] In recent years, the frequency in which the highest actuation of a semiconductor device is possible becomes high by the advance of a semi-conductor manufacturing technology. For example, the clock frequency of CPU (central processing unit) currently widely used for the personal computer as an example of operation already amounted to 200 thru/or 300MHz from the 10MHz order of the time of development. For this reason, many semiconductor devices which can operate at high speed have been realized.

[0003]

[Problem(s) to be Solved by the Invention] By the way, as mentioned above, one of the problems brought about by improvement in the clock frequency of a semiconductor device is electromagnetic wave radiation. When the wavelength of a RF signal becomes short and the wire length inside a connection circuit or a substrate becomes the almost same order as the wavelength of a RF signal with improvement in a frequency, connections, such as wiring inside a substrate, function as an antenna, and have disadvantageous profit that the electromagnetic wave radiation to a perimeter will increase rapidly.

[0004] We begin malfunction by the mutual intervention between electronic equipment, the active jamming to a communication device, etc., and are anxious also about the effect on the body with electromagnetic wave radiation of the electronic equipment using the semiconductor device which operates with a high-speed clock signal. To the electronic equipment by which current electronic radiation poses a problem, improve arrangement of a circuit etc., and electromagnetic wave radiation is reduced, and also the measures of reducing the leakage of the electromagnetic wave to a perimeter by electromagnetic wave electric shielding (shielding) are taken. However, when a mho BAIRU device requires a miniaturization and lightweight-ization, it cannot fully shield because of reducing electromagnetic wave radiation, and there is almost no effective prevention approach for electromagnetic wave radiation.

[0005] This invention is made in view of this situation, and by making the clock signal of a semiconductor device of operation change minutely, the object can realize spectrum diffusion of a clock signal, and is to offer the clock generation circuit which generates the clock signal which can reduce electromagnetic wave radiation.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned object, the clock generation circuit of this invention The integrating circuit which outputs the integral clock signal which integrated with the inputted clock signal and made loose the inclination of the level change to the time amount in the standup and falling of the clock signal concerned, The limiter circuit where the level limit of the above-mentioned integral clock signal is carried out according to the frequency-control signal which changes level on a frequency lower than the above-mentioned input-clock signal, and a frequency outputs the 2nd clock signal which changes according to the above-mentioned frequency-control signal, It has the frequency-multiplication circuit which outputs the clock signal which carried out frequency multiplication of the 2nd clock signal of the above by the predetermined multiplying ratio.

[0007] In this invention, suitably moreover, the above-mentioned frequency-multiplication circuit To the extent that the phase of the 2nd clock signal of the above and a dividing signal is compared and a phase contrast signal is outputted according to a comparison result A phase comparison circuit, The amplifying circuit which outputs the oscillation control signal which has predetermined level according to the above-mentioned phase contrast signal, It oscillates on the oscillation frequency set up with the above-mentioned oscillation control

signal, and has the armature-voltage control oscillator circuit outputted as a clock signal which carried out [above-mentioned] multiplying of the oscillation signal, and the frequency divider where dividing of the clock signal which carried out [above-mentioned] multiplying is carried out by the predetermined division ratio, and at least the above outputs a dividing signal to a phase comparison circuit.

[0008] To the extent that the phase contrast signal with which the clock generation circuit of this invention compares the phase of an input-clock signal and a dividing signal, and level changes according to the phase contrast of the above-mentioned input-clock signal and the above-mentioned dividing signal is outputted. Moreover, a phase comparison circuit, The amplifying circuit which outputs the oscillation control signal which applied the bias voltage according to the level of a frequency-control signal to the above-mentioned phase contrast signal, It oscillates on the oscillation frequency set up with the above-mentioned oscillation control signal, and has the armature-voltage control oscillator circuit which outputs a clock signal, and the frequency divider where dividing of the above-mentioned clock signal is carried out by the predetermined division ratio, and at least the above outputs a dividing signal to a phase comparison circuit.

[0009] To the extent that the clock generation circuit of this invention compares the phase of an input-clock signal and a dividing signal and the phase contrast signal according to the phase contrast of the above-mentioned input-clock signal and the above-mentioned dividing signal is outputted. Furthermore, a phase comparison circuit, The charge pump circuit which an oscillation control signal outputs from the capacitor which generates charge or a discharge current according to the above-mentioned phase contrast signal and a frequency-control signal, and carries out charge and discharge according to the charge concerned or a discharge current, It oscillates on the oscillation frequency set up with the above-mentioned oscillation control signal, and has the armature-voltage control oscillator circuit which outputs a clock signal, and the frequency divider where dividing of the above-mentioned clock signal is carried out by the predetermined division ratio, and at least the above outputs a dividing signal to a phase comparison circuit.

[0010] In a clock generation circuit, by generating the clock signal with which a frequency changes slightly to extent which does not influence normal actuation of a semiconductor device, and supplying a semiconductor device as a clock signal of operation, the frequency spectrum of a clock signal is diffused and, according to this invention, electromagnetic wave radiation of a semiconductor device is reduced. Concretely, from the frequency control signal with which level changes gently compared with an input-clock signal, by limiting the clock signal with which it integrated, the clock signal with which a frequency changes is generated, the clock signal which carried out multiplying with the predetermined number of multiplying by the PLL circuit is generated according to the clock signal concerned, and a semiconductor device is supplied.

[0011] Moreover, the clock generation circuit of this invention is constituted by the PLL circuit, and it sets to the direct-current amplifying circuit which generates the control signal supplied to VCO in the PLL circuit concerned, for example, a differential amplifying circuit. Since a phase comparison circuit is inputted and a frequency control signal is inputted into the input terminal of another side, the bias component according to an oscillation frequency is contained in the oscillation control signal inputted into VCO, and at least one input terminal is controlled so that the oscillation frequency of VCO changes according to the frequency control signal concerned. Furthermore, in the charge pump which constitutes a PLL circuit, since the bias current concerned is added to the current which bias voltage was generated according to the frequency-control signal, and was generated according to the phase contrast signal, the oscillation frequency of VCO by which an oscillation frequency is controlled by the output signal of a charge pump changes according to a frequency-control signal.

[0012]

[Embodiment of the Invention] 1st operation gestalt drawing 1 is the circuit diagram showing the 1st operation gestalt of the clock generation circuit concerning this invention. The clock generation circuit of this operation gestalt is constituted by the integrator 1, the limiter 2, the PLL circuit 3, and the counting-down circuit 4.

[0013] An integrator 1 is the clock signal CKS which integrated with and integrated with inputted clock signal CKIN. It outputs. A limiter 2 is the integral clock signal CKS. And frequency control signal SC Popularity is won and clock signal SIN inputted into the PLL circuit 3 according to these signals is outputted. The PLL circuit 3 is the dividing signal SD inputted from clock signal SIN and the counting-down circuit 4 which were inputted from the limiter 2. Clock signal CKOUT by which it responds, for example, a frequency or a phase is controlled according to clock signal SIN It outputs.

[0014] Frequency control signal SC inputted into a limiter 2 It responds and is output clock signal CKOUT of the PLL circuit 3. By making an output change with the minute range of fluctuation, it is clock signal CKOUT. Spectrum is diffused. For this reason, clock signal CKOUT In the semiconductor device which operates as clock frequency, reduction of electromagnetic wave radiation is realizable as a result of the distribution of spectrum of a clock signal of operation.

[0015] Drawing 2 shows the example of 1 configuration of the PLL circuit 3 containing a counting-down circuit. The PLL circuit 3 is constituted by a phase comparator 10, a low pass filter (LPF) 20, DC amplifier 30, the voltage controlled oscillator (VCO) 40, and the counting-down circuit 50 like a graphic display. In addition, the counting-down circuit 50 in drawing 2 is the same as the counting-down circuit 4 shown in drawing 1.

[0016] The phase comparison circuit 10 is the dividing signal SD from a frequency divider 50. A phase with clock signal SIN inputted from the limiter 2 is compared, and the up-and-down signal SUD which shows the phase contrast of these signals is outputted. A low pass filter 20 is the signal SL which removes the high frequency component contained in the up-and-down signal SUD from the phase comparator 10, and consists only of a low-frequency component. It outputs. DC amplifier 30 is the signal SV which added the predetermined direct current level V_{dc} to the signal which is the reversal mold amplifying circuit which consists of differential amplifier AMP and resistance elements R1 and R2, amplified the low frequency signal SL from a low pass filter 20 like a graphic display, and was amplified further. It considers as a control signal and outputs to VCO40. VCO40 is the control signal SV from DC amplifier 30. It oscillates on the controlled oscillation frequency and an oscillation signal is outputted. In addition, the oscillation signal outputted by VCO40 is the clock signal CKO of operation. It carries out and other semiconductor devices are supplied. A counting-down circuit 50 is the clock signal CKO from VCO40. Dividing is carried out by the division ratio set up beforehand, and it is the dividing signal SD. It outputs to a phase comparator 10.

[0017] Drawing 3 shows the signal wave form of each partial circuit of the clock generation circuit of this operation gestalt. Hereafter, actuation of the clock generation circuit of this operation gestalt is explained, referring to drawing 1 - drawing 3.

[0018] Frequency control signal SC inputted into the limiter 2 of drawing 1 As shown in drawing 3 (a), it is a chopping sea with a predetermined period. The chopping sea concerned has a frequency quite lower than the input-clock signal CKIN, and is the signal of the low frequency which changes gently. In addition, although the signal of a chopping sea is shown as an example, it is the frequency control signal SC here. It may not be limited to a chopping sea and other signals, for example, a sine wave, or the signal with which level changes stair-like may be used.

[0019] Clock signal CKIN with the fixed period T shown in drawing 3 (b) is the integral clock signal CKS which it is inputted into an integrator 1 and shown in this drawing (c) as a result of an integral. It is obtained. It sets to a limiter 2 and is the frequency-control signal SC. It uses and is the integral clock signal CKS. As a result of limiting level, the clock signal which changes without the period shown in this drawing (d) ceasing is acquired. The clock signal concerned is supplied to the PLL circuit 3 as an input signal SIN.

[0020] The PLL circuit 3 carries out multiplying of the frequency of an input signal SIN with the number of multiplying set up by the division ratio n of a counting-down circuit 4 (n is a positive integer), and is a clock signal CKO. It generates. For example, if the frequency of an input signal SIN is set to f , it is the output clock signal CKO. A frequency serves as nf . If the frequency of an input signal SIN changes, for example, it is set to $(f+\Delta f)$, it is the output clock signal CKO. A frequency also follows it and changes to $(nf+n\Delta f)$. As mentioned above, it sets to a limiter 2, and it is the frequency control signal SC. The frequency of the signal SIN which responded and was acquired as a result of the limit of the integral clock signal CKS is the frequency control signal SC. It is controlled according to level. For this reason, output clock signal CKO of the PLL circuit 3 A frequency is also a control signal SC. It is controlled by level. Namely, the clock generation circuit of this operation gestalt functions as a kind of frequency modulation circuit, and is the frequency control signal SC. Clock signal CKO with which it uses, a modulation function is committed to the frequency of the input-clock signal CKIN, and a frequency changes It can provide.

[0021] By the clock generation circuit of this operation gestalt, it is the frequency control signal SC. Clock signal CKO with which it responds and a frequency changes It is generated. The clock signal CKO concerned In other semiconductor devices which operate as a clock signal of operation, since the spectrum of a clock signal is spread, it is possible to reduce electromagnetic wave radiation substantially. Drawing 4 (b) shows the spectrum of the clock signal with which spectrum diffusion was performed. In addition, the spectrum of clock signal CK to which spectrum diffusion is not performed is shown in this drawing (a) for the comparison.

[0022] As shown in drawing 4 (a), when spectrum diffusion is not performed, the spectrum of clock signal CK will almost be concentrated on center frequency f_{CK} , if the part which spread on both sides slightly by the noise component etc. is removed. On the other hand, as the spectrum of the clock signal which spectrum diffused by the clock generation circuit of this operation gestalt is shown in this drawing (b), breadth and its peak value are broadly reduced substantially by both sides compared with the spectrum shown in drawing (a) focusing on a frequency f_{CK} . Clock signal CKO supplied by this in the clock generation circuit of this operation gestalt In the semiconductor device which operates, even when it is difficult for electromagnetic wave radiation to become possible [decreasing substantially], and to take the cure of shielding etc., it is possible to decrease

substantially the leakage of the electromagnetic wave to the equipment circumference.

[0023] 2nd operation gestalt drawing 5 is the circuit diagram showing the 2nd operation gestalt of the clock generation circuit concerning this invention. Frequency-control signal SC with which level changes gently in the 1st operation gestalt of the clock generation circuit mentioned above using a limiter Clock signal CKO which generated the clock signal with which a frequency changes by limiting the level of the clock signal with which it integrated, and carried out multiplying of the clock signal concerned by the predetermined multiplying ratio It generates. For this reason, the integrator other than a limiter is required, there are many addition circuits other than a PLL circuit, and the cost of a circuit becomes large.

[0024] On the other hand, in the clock generation circuit of this operation gestalt, since the clock which the frequency was made to change only using a PLL circuit and performed spectrum diffusion can be generated, a desired clock signal can be generated by easy circuitry, and a miniaturization and a cheap clock generation circuit can be realized. Hereafter, the configuration and its actuation of the clock generation circuit of this operation gestalt are explained, referring to drawing 5.

[0025] As shown in drawing 5, the PLL circuit which constitutes the clock generation circuit of this operation gestalt has the almost same configuration as the PLL circuit 3 shown in drawing 2. However, in this operation gestalt, the frequency control signal SC 1 with which level changes to the differential amplifier AMP which constitutes DC-amplifier 30a is inputted, the level of the control signal SV outputted from DC-amplifier 30a is controlled by this, and the oscillation frequency of VCO40 is controlled by it.

[0026] In the phase comparator 10 which constitutes a PLL circuit, it is the dividing signal SD from clock signal SIN and a counting-down circuit 50. It is inputted. Clock signal SIN is a reference clock signal which has the stable frequency, for example. A phase comparator 10 is clock signal SIN and the dividing signal SD which were inputted. A phase is compared and the up-and-down signal SUD is outputted according to the phase contrast of these signals. A low pass filter 20 is the signal SL which removes the high frequency component contained in the up-and-down signal SUD from the phase comparator 10, and consists only of a low-frequency component. It outputs.

[0027] It is constituted by for example, the differential amplifier AMP, and DC amplifier 30a is the low frequency signal SL from a low pass filter 20. It is inputted into the inversed input terminal “-” of the differential amplifier AMP through a resistance element R1, and the inversed input terminal “-” concerned is further connected to the output terminal of the differential amplifier AMP through the resistance element R2. The frequency control signal SC 1 is inputted into the input terminal “+” of the differential amplifier AMP. Drawing 3 (a) Like a graphic display, the frequency-control signal SC 1 is a signal with which bias voltage ΔV joined direct current level V_{dc} , for example, is a shown chopping sea.

[0028] Thus, inversed amplification is constituted by the differential amplifier AMP and resistance elements R1 and R2, and it is an input signal SL from the output terminal. Signal SV with which the bias signal SC 1 joined the reversal signal It is outputted and VCO40 is supplied. Here, it is the output signal SL of a low pass filter 20. It is VL about an electrical potential difference. It carries out and is Signal SV. It is VS about an electrical potential difference. A degree type will be realized if it carries out.

[0029]

[Equation 1]

$$VL = (V_{dc} + \Delta V) - (VS - V_{dc} - \Delta V), R1/R2 = (V_{dc} + \Delta V) / (R1 + R2) - VS \quad R1/R2 \text{ --- (1)}$$

[0030] VCO40 is the control signal SV outputted from DC amplifier 30a. Clock signal CKO which an oscillation frequency is controlled and has the oscillation frequency concerned It is outputted. For this reason, the oscillation frequency of VCO40 changes according to level change of the frequency-control signal SC 1 inputted into DC-amplifier 30a. Namely, output clock signal CKO Spectrum is spread.

[0031] Thus, as a result of adding the bias signal SC 1 to a differential amplifying circuit AMP, it is the output signal SL of a low pass filter 20. Electrical potential difference VL which a voltage level shows in a formula (1) A PLL circuit operates so that it may become. Consequently, the oscillation frequency of VCO40 changes according to the level of the bias signal SC 1 added to the differential amplifying circuit AMP.

[0032] Clock signal CKO Since other semiconductor devices are supplied as a clock signal of operation, it is the clock signal CKO concerned. Electromagnetic wave radiation of the semiconductor device which operates is reduced substantially.

[0033] The reference clock signal SIN and the dividing signal SD from a counting-down circuit 50 which were inputted with the phase comparator 10 in the PLL circuit according to this operation gestalt as explained above It is the signal SL which compares a phase, outputs the up-and-down signal SUD according to the phase contrast of these signals, and a low pass filter 20 removes the high frequency component, and consists of a low-frequency component. It outputs. DC-amplifier 30a is the control signal SV which makes bias the frequency-control signal SC 1 inputted. It generates and VCO40 is supplied. VCO40 is a control signal SV.

Clock signal CKO with which it oscillates on the set-up frequency and a frequency changes according to the frequency control signal SC 1. Since it generates and a semiconductor device is supplied as a clock signal of operation, electromagnetic wave radiation of the semiconductor device which operates with the clock signal which carried out spectrum diffusion can be reduced.

[0034] 3rd operation gestalt drawing 6 is the circuit diagram showing the 3rd operation gestalt of the clock generation circuit concerning this invention. Like a graphic display, the clock generation circuit of this operation gestalt generates the clock signal with which a frequency changes using a PLL circuit almost like the 2nd operation gestalt of this invention shown in drawing 5. However, it is Signal SL by making the charge pump 60 which operates according to the output signal of phase comparator 10a in this operation gestalt generate bias current predetermined by the frequency-control signal SC 2. The oscillation frequency of VCO40 is controlled by controlling level.

[0035] The signal SIN inputted into phase comparator 10a is a reference clock signal with a predetermined frequency. Phase comparator 10a is the reference clock signal SIN and the dividing signal SD from a counting-down circuit 50 concerned. A phase is compared and the rise signal SUP or the down signal SDW is outputted according to a comparison result. In addition, these output signals are for example, the reference clock signal SIN and the dividing signal SD. It is the pulse signal by which width of face is controlled according to phase contrast. For example, the reference clock signal SIN is the dividing signal SD. The rise signal SUP which is a pulse signal with the width of face according to the phase contrast of these signals while the phase is progressing is outputted, and the reference clock signal SIN is the dividing signal SD to reverse. When the phase is behind, the down signal SDW which is a pulse signal with the width of face according to the phase contrast of these signals is outputted.

[0036] The charge pump 60 embraces the rise signal SUP or the down signal SDW, and is the charge current iC . It generates. Furthermore, the inputted frequency-control signal SC 2 is embraced, and it is bias current ΔiC . It generates and is the charge current iC . It adds. For this reason, charge current iC And bias current ΔiC Signal SL by which it responds to the sum ($iC + \Delta iC$), a capacitor C1 charges or discharges, and level is controlled according to the charge and discharge of the capacitor C1 concerned. It is outputted.

[0037] DC amplifier 30 is the signal SL outputted from the charge pump 60. Signal SV amplified and acquired. It considers as a control signal and VCO40 is supplied. In addition, DC amplifier 30 of this operation gestalt is easy to have the same configuration as the DC amplifier which constitutes the PLL circuit 3 shown in drawing 2. VCO40 is a control signal SV. It oscillates on the controlled oscillation frequency and an oscillation signal is outputted. It is the clock signal CKO of operation about the oscillation signal concerned. It carries out and a semiconductor device is supplied. A counting-down circuit 50 is the clock signal CKO generated in VCO40. Dividing is carried out by the division ratio n set up beforehand, and it is the dividing signal SD. It generates and inputs into phase comparator 10a.

[0038] Drawing 7 is the circuit diagram showing the example of 1 configuration of the charge pump 60. Like a graphic display, the charge pump 60 is further constituted by the pnp transistor P1, the npn transistor Q1 and pnp transistor P2 which are connected to the serial between supply voltage Vdd and the touch-down potential GND, a npn transistor Q2, and the resistance elements R3, R4, R5, and R6 connected to the emitter side of these transistors.

[0039] The emitter of a transistor P1 is connected to supply voltage Vdd through a resistance element R3, and the rise signal SUP from phase comparator 10a is inputted into the gate. The emitter of a transistor Q1 is grounded through a resistance element R4, and the down signal SDW from phase comparator 10a is inputted into the gate. Transistor P1 and Q1 collector is connected to the node ND 1. The emitter of a transistor P2 is connected to supply voltage Vdd through a resistance element R5, and the collector is connected to the node ND 1. The emitter of a transistor Q2 is grounded through a resistance element R6, and the collector is connected to the node ND 1. Furthermore, the frequency control signal SC 2 is inputted into the gate of transistors P2 and Q2. The capacitor C1 is connected between a node ND 1 and the touch-down potential GND.

[0040] When the rise signal SUP, for example, the pulse signal of a low level, is inputted from phase comparator 10a, it is a current I1 to a transistor P1. It flows and is inputted into a node ND 1. On the other hand, when the down signal SDW, for example, a high-level pulse signal, is inputted from phase comparator 10a, it is a current I2 to a transistor Q1. It flows. A capacitor C1 is a current I1 to a node ND 1. When inputted, it is charged by the current concerned and the potential of a node ND 1 rises. On the contrary, if a current I2 flows from a node ND 1 to a transistor Q2, the discharge of the node ND 1 will be carried out, and the potential of a node ND 1 will descend. for this reason, the comparison result of phase comparator 10a — responding — a capacitor C1 — charge — or a discharge is carried out and the electrical potential difference of a node ND 1 is controlled.

[0041] On the other hand, the current which flows to these transistors is controlled according to the level of

the frequency-control signal SC 2 inputted into the gate of transistors P2 and Q2. For example, when the level of the frequency-control signal SC 2 becomes low, it is a current I3 to a transistor P2. It flows and a capacitor C1 is charged according to this. On the other hand, when the level of the frequency-control signal SC 2 becomes high, it is a current I4 to a transistor Q2. It flows and the discharge of the capacitor C1 is carried out according to this. for this reason, the level of the frequency-control signal SC 2 -- responding -- a capacitor C1 -- charge -- or a discharge is carried out and the electrical potential difference of a node ND 1 is controlled.

[0042] As mentioned above, in the charge pump 60, the rise signal SUP from phase comparator 10a or the down signal SDW, and the frequency-control signal SC 2 are embraced, and it is the electrical potential difference SL of a node ND 1, i.e., the output signal of the charge pump 60. Level is controlled. The signal SL concerned After amplifying with DC amplifier 30, it is a control signal SV. It carries out and is inputted into VCO40. Consequently, the oscillation frequency of VCO40 is controlled by the frequency control signal SC 2 besides the rise signal SUP from phase comparator 10a, and the down signal SDW.

[0043] The frequency control signal SC 2 inputted into the charge pump 60 is the output clock signal CKO of VCO40, if it is the chopping sea shown in drawing 3 (a). According to level change of the chopping sea concerned, a frequency changes gently. For this reason, since the spectrum of a clock signal diffuses a clock signal CKO in the semiconductor device used as a clock of operation, electromagnetic wave radiation is reduced substantially.

[0044] It is the reference clock signal SIN and the dividing signal SD from a counting-down circuit 50 into which phase comparator 10a was inputted according to [as explained above] this operation gestalt. A phase is compared and the rise signal SUP or the down signal SDW is outputted according to the phase contrast of these signals. the charge pump 60 -- the output signal of phase comparator 10a, and the frequency-control signal SC 2 -- responding -- charge or a discharge current -- generating -- a capacitor C1 -- this -- responding -- charge or a discharge -- carrying out -- signal SL Level is controlled. It is Signal SL by DC amplifier 30. It amplifies and is a control signal SV. It generates, VCO40 is supplied and VCO40 is a control signal SV. It oscillates on the set-up frequency and is a clock signal CKO. Since it outputs, it is the clock signal CKO concerned. A frequency changes according to level change of the frequency control signal SC 2, and since spectrum is spread, electromagnetic wave radiation of the semiconductor device which makes this a clock of operation is reduced substantially.

[0045]

[Effect of the Invention] According to the clock generation circuit of this invention, as explained above, when the frequency of the clock signal generated makes it change gently, the spectrum is spread and there is an advantage which can reduce electromagnetic wave radiation of the semiconductor device which operates according to it

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st operation gestalt of the clock generation circuit concerning this invention.

[Drawing 2] It is the circuit diagram showing the example of 1 configuration of the PLL circuit which constitutes the clock generation circuit shown in drawing 1.

[Drawing 3] It is the wave form chart showing actuation of the clock generation circuit of the 1st operation gestalt.

[Drawing 4] It is drawing showing the spectrum of a clock signal.

[Drawing 5] It is the circuit diagram showing the 2nd operation gestalt of the clock generation circuit concerning this invention.

[Drawing 6] It is the circuit diagram showing the 3rd operation gestalt of the clock generation circuit concerning this invention.

[Drawing 7] It is the circuit diagram showing the example of 1 configuration of the charge pump which constitutes the clock generation circuit shown in drawing 6.

[Description of Notations]

1 [— 10 A counting-down circuit, 10a / — A phase comparator, 20 / — 30 A low pass filter, 30a / — A DC amplifier, 40 / — VCO, 50 / — A counting-down circuit, 60 / — A charge pump, Vdd / — Supply voltage, GND / — Touch-down potential.] — An integrator, 2 — A limiter, 3 — A PLL circuit, 4

[Translation done.]